

Digital IC Lab

文件名稱：Simulation and Verification with VeriLite

撰寫人員：林宜民、楊哲彰（依姓氏筆劃）

硬體要求：PC、VeriLite (Altera FPGA Cyclone EP1C6Q240C8)

軟體要求：QuartusII 4.0、VeriComm 0.3.0.0.4、VeriInstrument 0.1.0.1.19

文件版本：Version 1.1 (2/13/2006)

工作內容：

1. 使用 QuartusII 對電路做編譯(Compile)、合成(Synthesis)與燒錄(Configure)的動作。
2. 使用 VeriComm 觀察電路波形。
3. 使用 VeriInstrument 裡的 I/O Device 驗證電路動作。

補充事項：

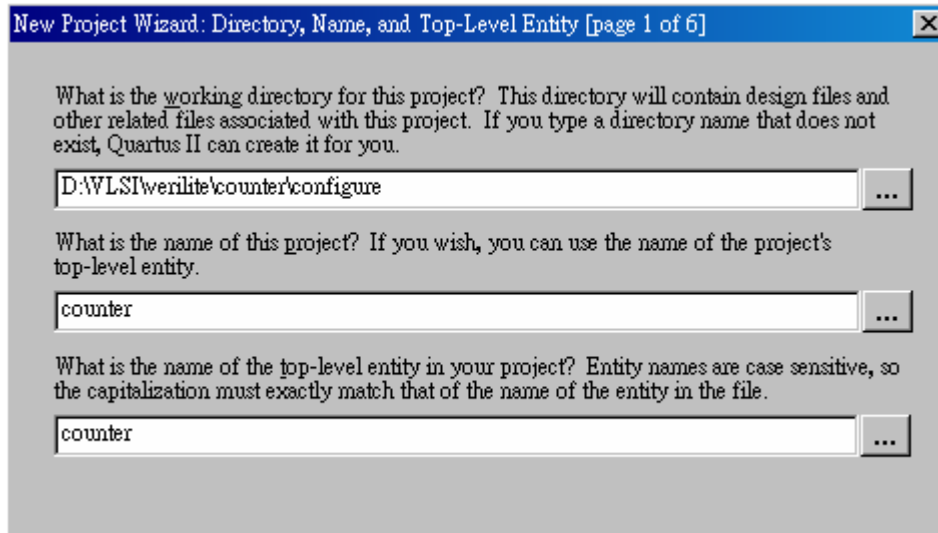
1. 一般硬體描述語言(Hardware Description Language, HDL)可分為 VHDL 與 Verilog 兩種，而 Verilog 是以類似 C 的語法來描述硬體電路，並擁有各種不同層次的表示方式。
2. 請確定板子(VeriLite)的電源跟接線都無誤後，再執行燒錄動作。
3. 使用 VeriComm 與 VeriInstrument 前，請先確定已執行燒錄動作。

Step-by-Step Guides for QuartusII

步驟一：開啟 QuartusII，然後建立一個 Project。

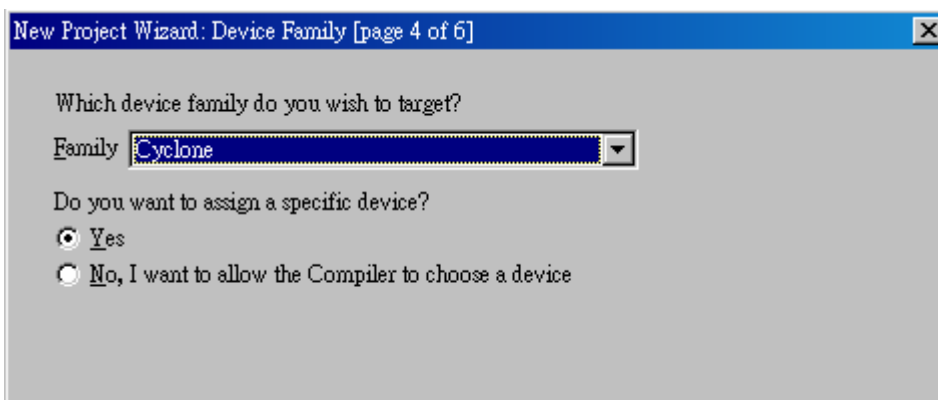
※點選 File → New Project Wizard...

※設定 Work Directory，Project Name 與 Top-Level Entity Name，再按 Next。



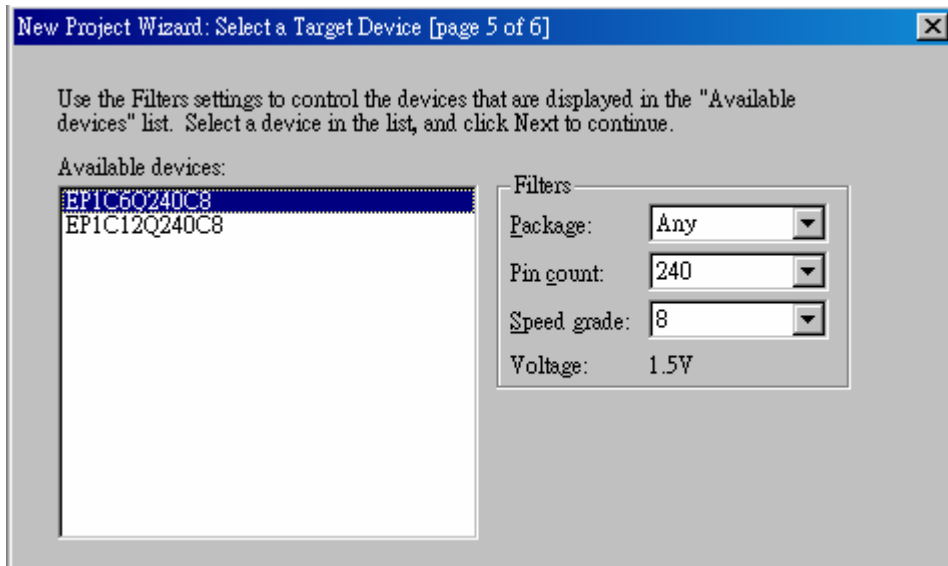
步驟二：設定 Family。

※設定 Family 為 Cyclone，再按 Next。



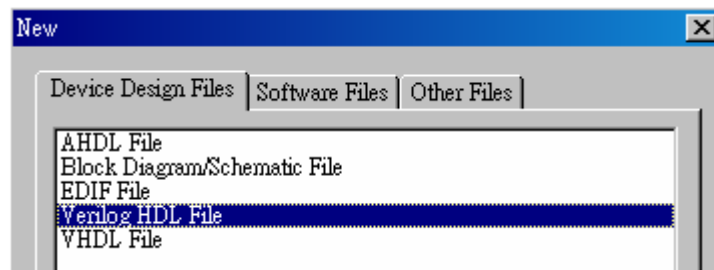
步驟三：設定 Device。

※設定 Device 為 EP1C6Q240C8，再按 Finish，即可完成 Project 的設定。



步驟四：新增檔案。

※點選 File → New...，選擇 Verilog HDL File，再按 OK。



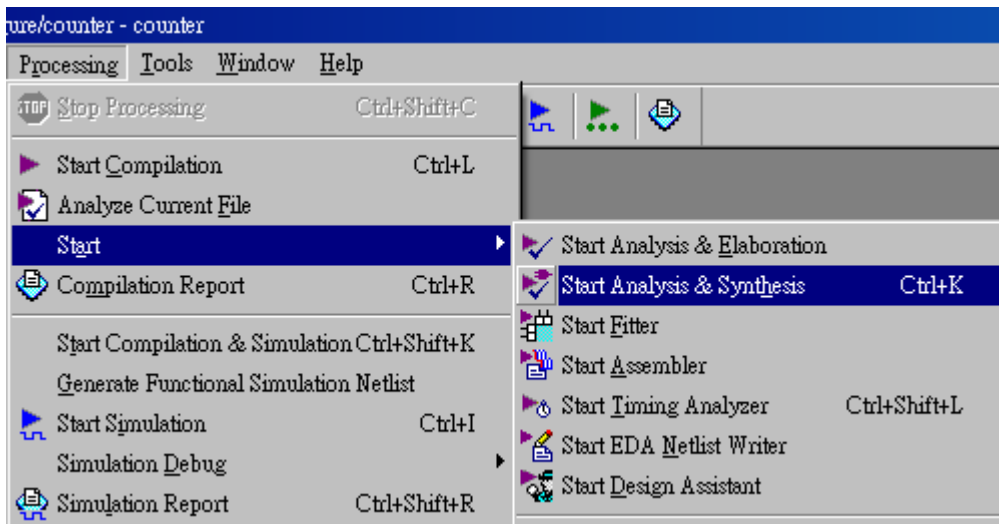
步驟五：編寫程式。

※編寫以下程式，並另存新檔(File → Save As...)為 counter.v。

```
module counter(clk, rst, out);  
  
    input  clk, rst;  
    output [7:0] out;  
  
    reg    [7:0] out;  
  
    always@(posedge clk or posedge rst)  
    begin  
        if(rst)  
            out = 8'd0;  
        else  
            out = out + 1'd1;  
    end  
  
endmodule
```

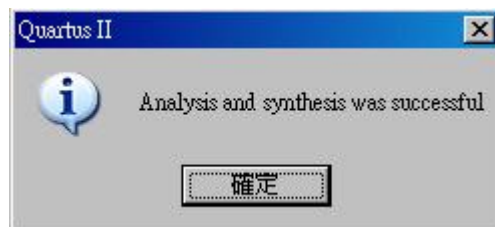
步驟六：分析與合成。

※點選 Processing → Start → Start Analysis & Synthesis。



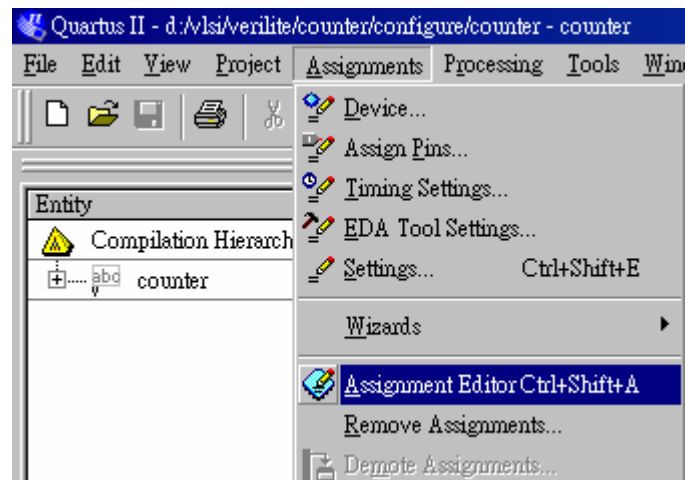
步驟七：完成分析與合成。

※彈出下面視窗即代表分析與合成完畢。

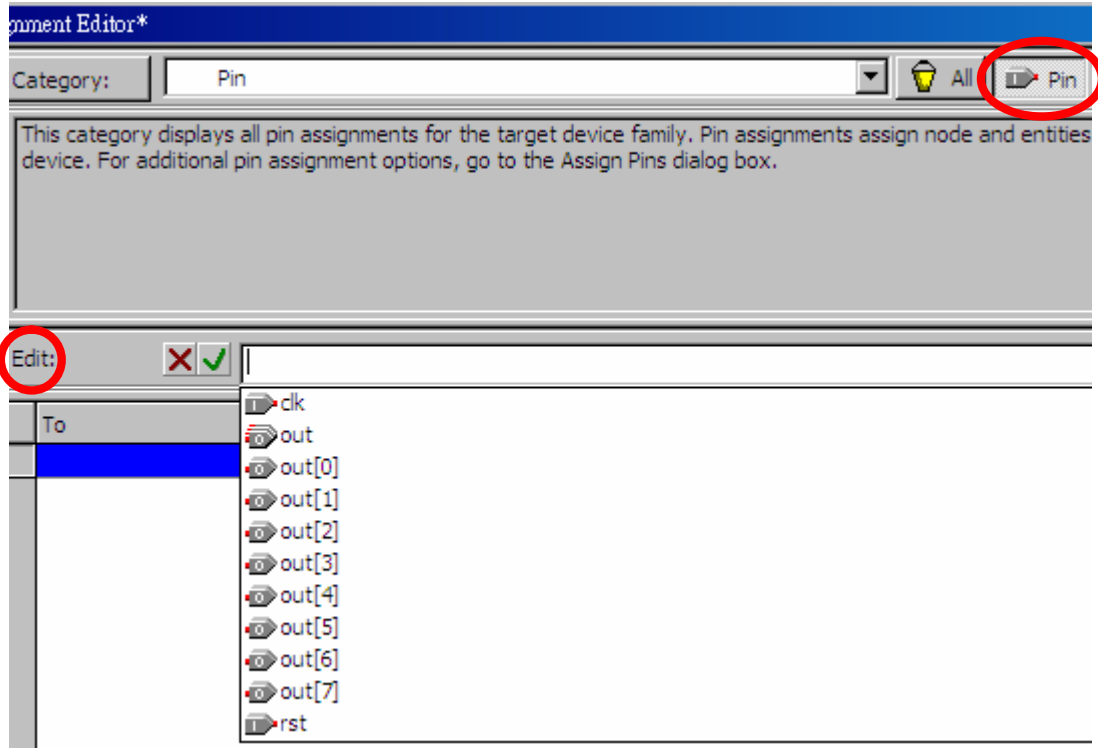


步驟八：指定 Pin 腳。

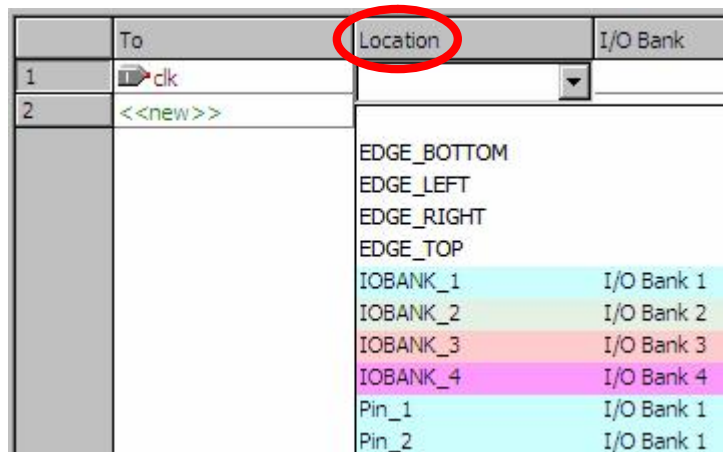
※點選 Assignment → Assignment Editor。



※在彈跳出來的畫面裡點選 Pin，然後點一下 Edit 的空白列，即可開始指定 pin 腳。



※選擇指定的 pin 腳後，在 Location 點兩下，即可開始指定 pin 腳的位置。



※由於 VeriLite 已指定某些 Pin 腳是輸入或輸出腳位，所以請參考文件(pin.xls)去指定 pin 腳的位置。

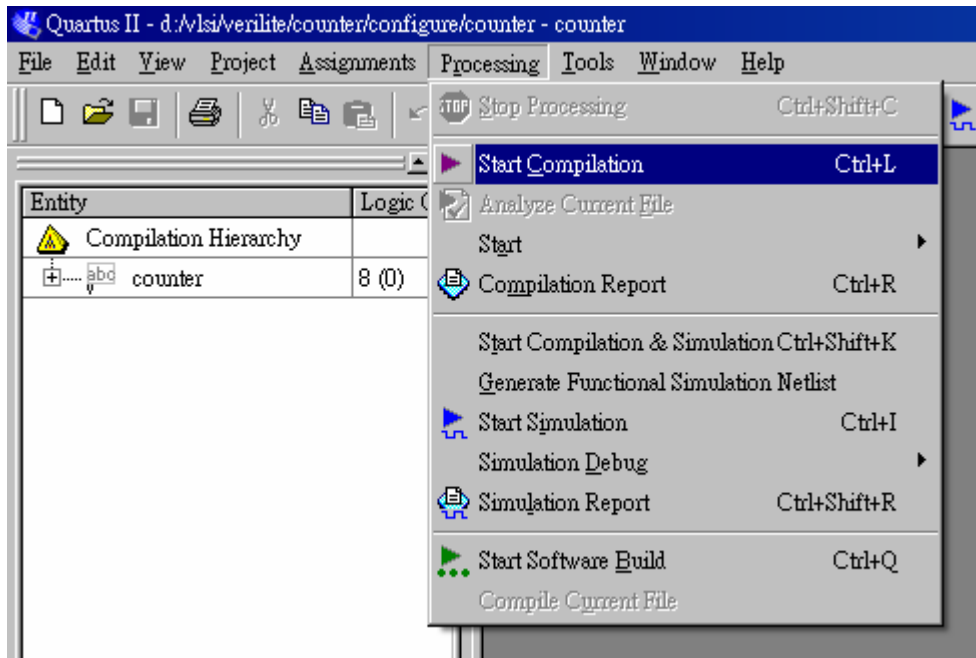
※最後，所有 pin 腳的位置指定如下，並儲存檔案(File → Save)。

輸入腳位：clk → Pin_28、rst → Pin_117

輸出腳位：out[7:0] → Pin_11~Pin_18

步驟九：編譯。

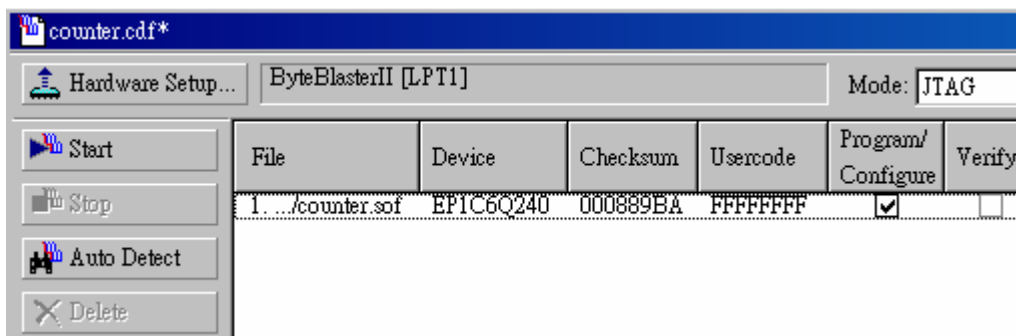
※點選 Processing → Start Compilation，即可開始編譯。



步驟十：燒錄。

※燒錄動作要透過 ByteBlasterII 連接電腦與 VeriLite。

※點選 Tools → Programmer，再點選 Hardware Setup...，選擇 ByteBlasterII 並加入，在 Mode 選擇 JTAG，在 Program/Configure 打勾，再按 Start。



步驟十一：燒錄完成。

※當 Progress 達到 100% 即代表燒錄完畢。



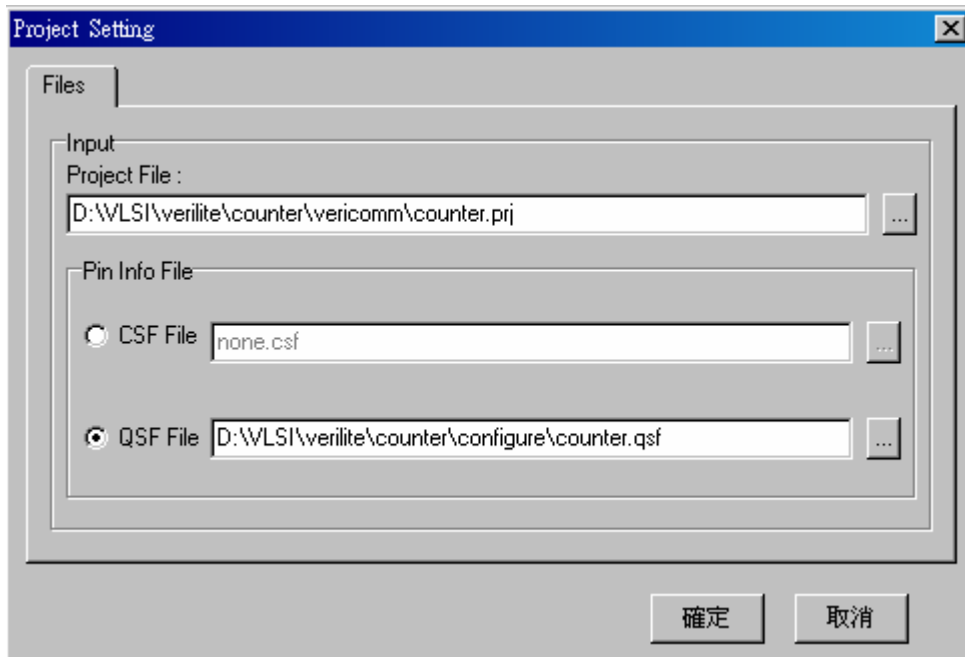
以上就是使用 QuartusII 執行燒錄(Configure)的流程。當然，QuartusII 的功能並不僅僅於此，如果你想要了解更多的話，一切都要靠自己花時間去問去試，只有努力的人才能有豐富的收穫，加油。

Step-by-Step Guides for VeriComm

步驟一：開啟 VeriComm，然後建立一個 Project。

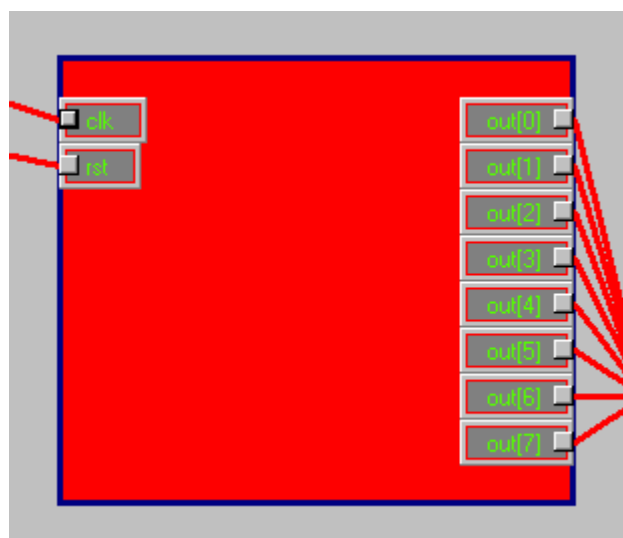
※點選 File → New。

※設定 Project File，然後 QSF File 選取 QuartusII 產生的 xxx.qsf，再按確定。



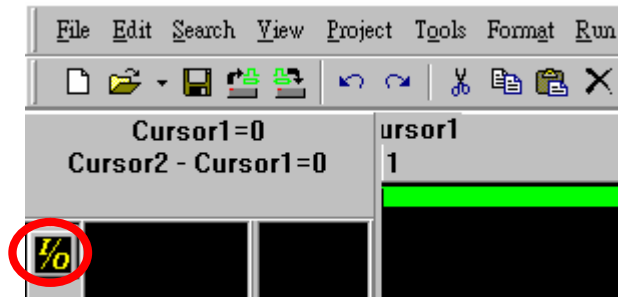
步驟二：確定 Pin Assignment。

※確定 Pin Assignment 正確無誤，再按關閉。

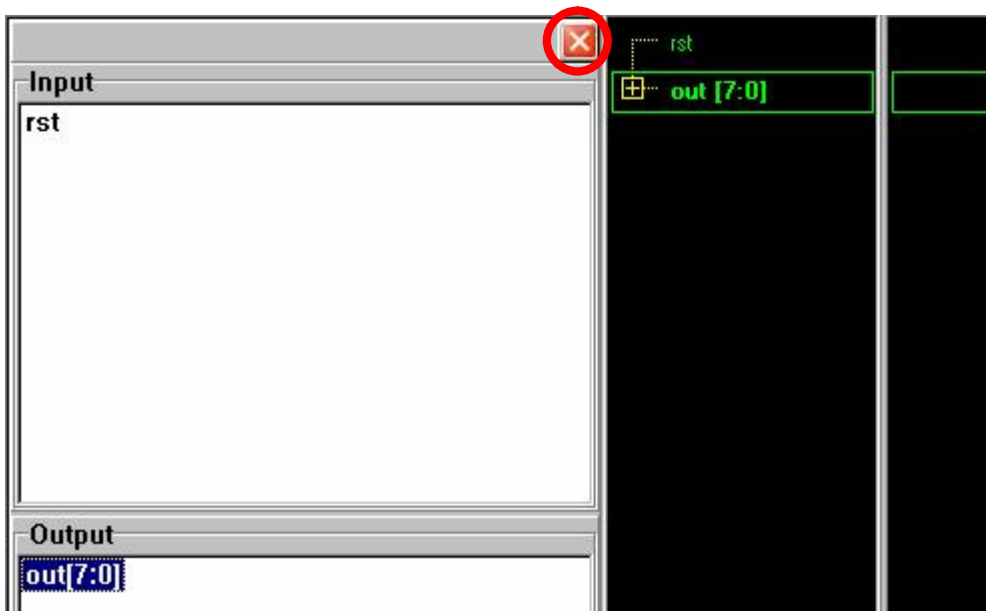


步驟三：加入 I/O。

※點選 I/O 按鈕，即可將 I/O 加入。



※點選兩下將欲觀察的訊號加入，按取消按鈕即可結束。

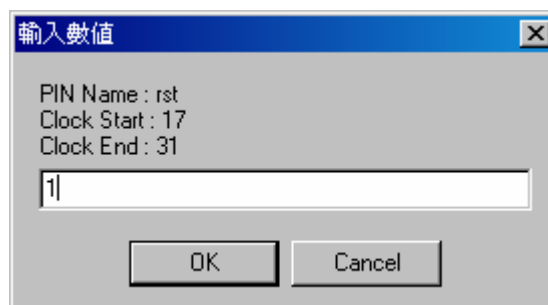


步驟四：編輯波形。

※點選 Tools → WAVE Editor。

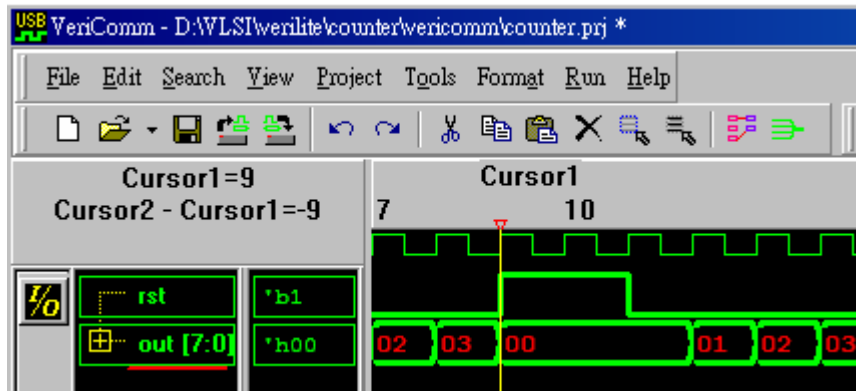
※利用滑鼠拖曳拉住一段時間，然後放開後在輸入數值。

※再點選一次 WAVE Editor 即可結束波形編輯。



步驟五：觀察波形。

※點選 Run → Go，即可開始觀察波形。

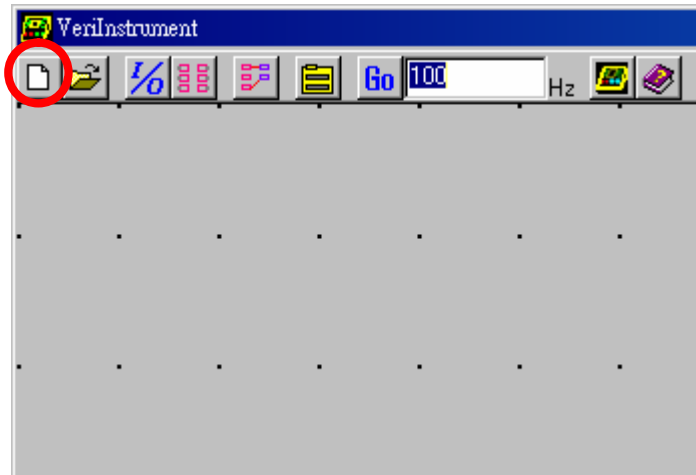


以上就是使用 VeriComm 觀察波形的流程。當然，VeriComm 的功能並不僅僅於此，如果你想要了解更多的話，一切都要靠自己花時間去問去試，只有努力的人才能有豐富的收穫，加油。

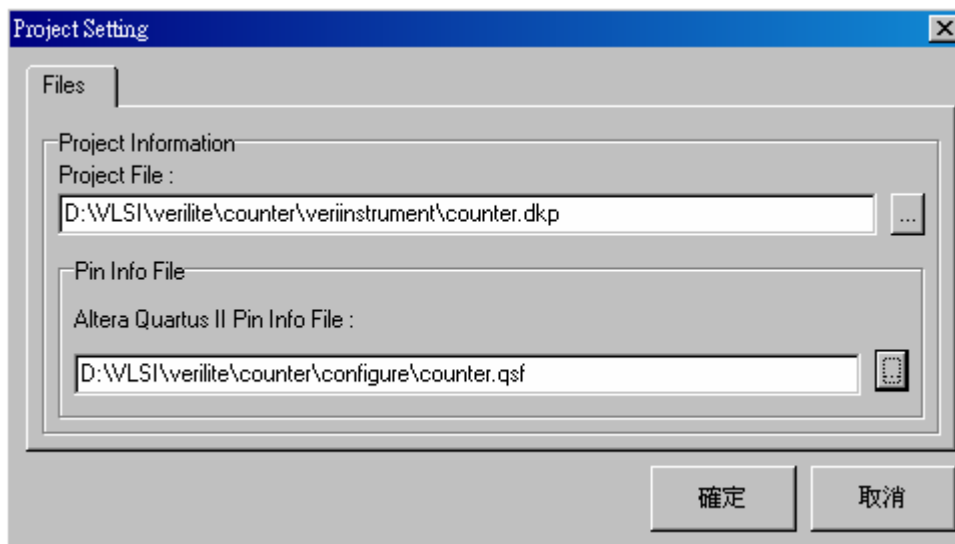
Step-by-Step Guides for VeriInstrument

步驟一：開啟 VeriInstrument，然後建立一個 Project。

※點選 New Project 按鈕。



※設定 Project File，然後 QSF File 選取 QuartusII 產生的 xxx.qsf，再按確定。

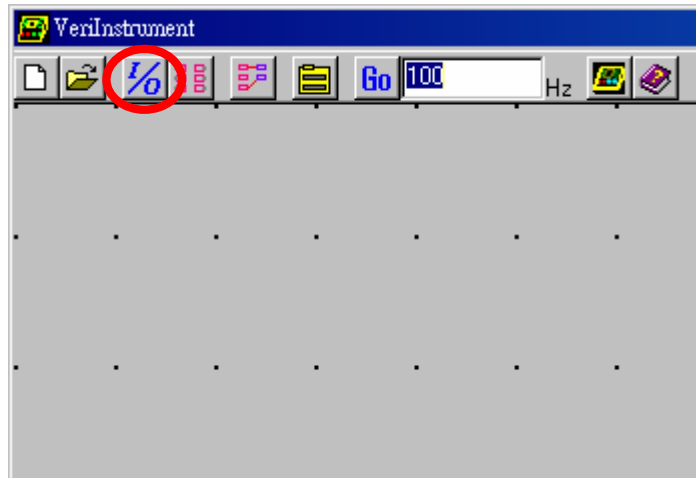


步驟二：確定 Pin Assignment。

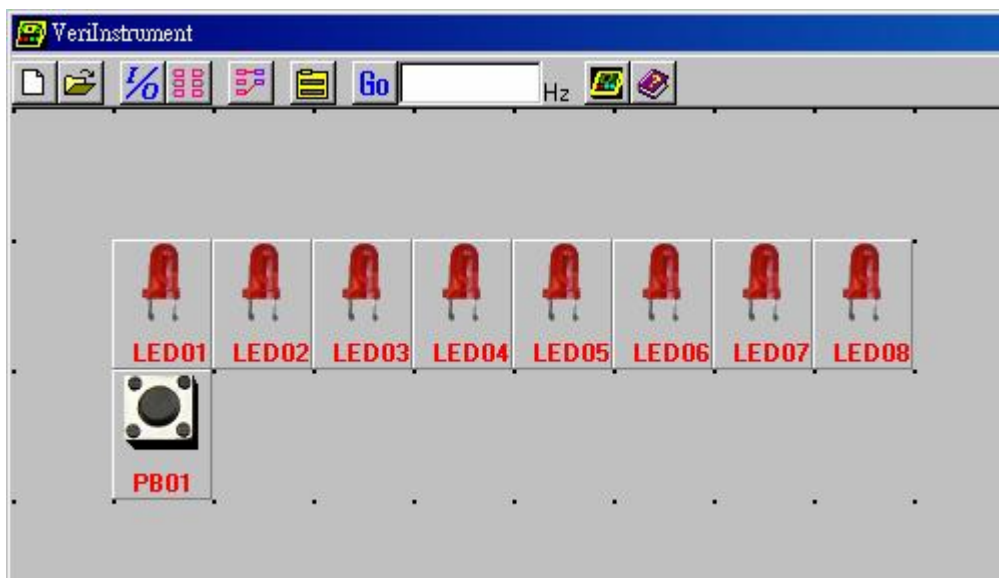
※確定 Pin Assignment 正確無誤，再按關閉。

步驟三：加入 I/O Device。

※點選 I/O Device 按鈕，即可將 I/O Device 加入。

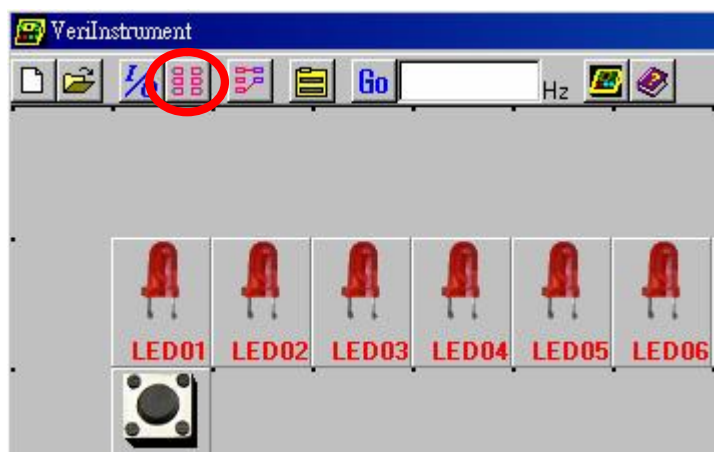


※利用滑鼠拖曳住想要使用的 I/O Device，然後放到工作視窗內。

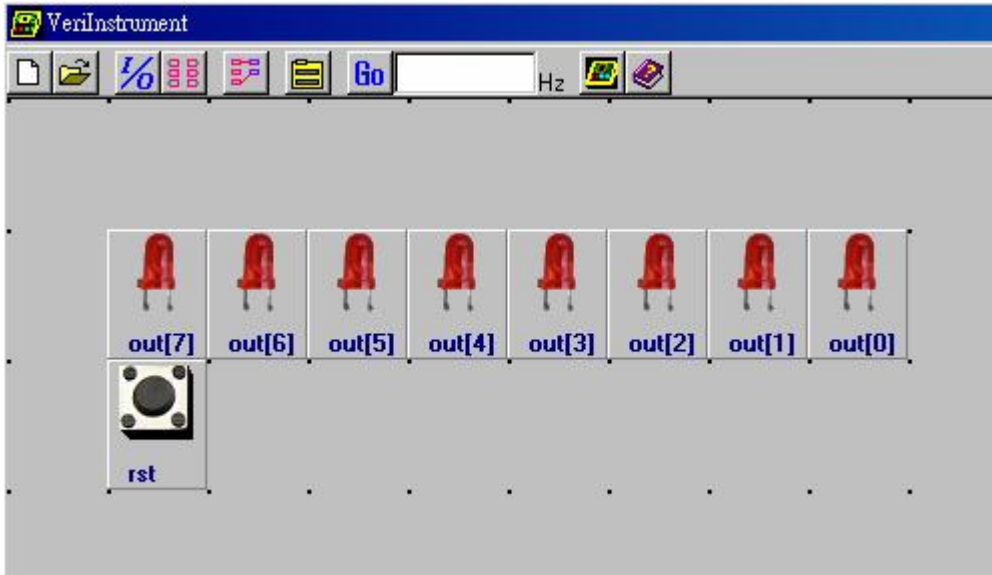


步驟四：設定 PIN 腳。

※點選 Show User Pins 按鈕，即可設定 PIN 腳。



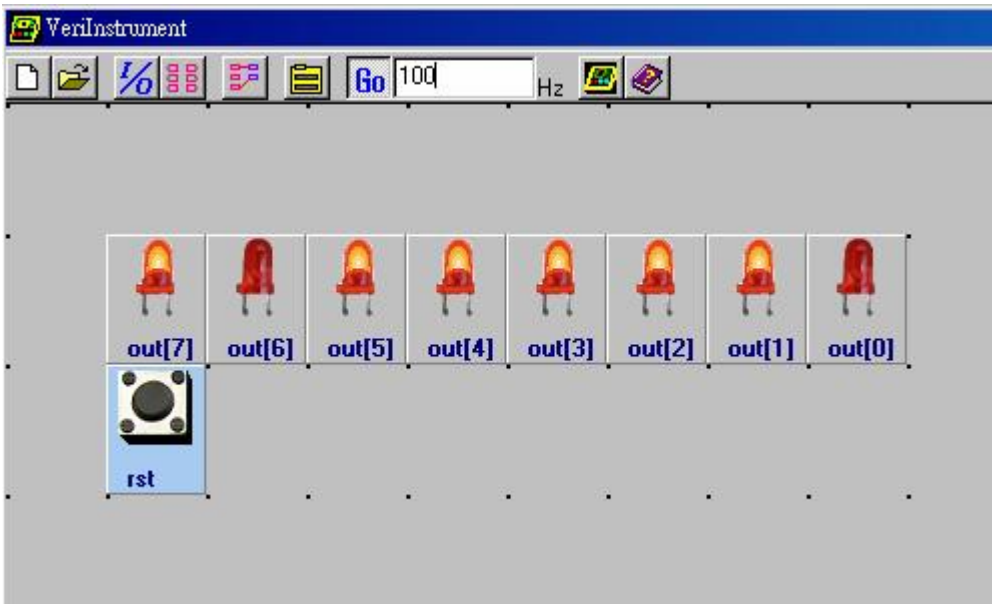
※利用滑鼠拖曳住想要加入的 User Pins，然後拉到 I/O Device 內。



步驟五：驗證電路動作。

※點選 Go 按鈕，即可開始驗證電路動作。

※可自行調整電路頻率(HZ)，頻率越高，電路動作越快。



以上就是使用 VeriInstrument 驗證電路動作的流程。當然，VeriInstrument 的功能並不僅僅於此，如果你想要了解更多的話，一切都要靠自己花時間去問去試，只有努力的人才能有豐富的收穫，加油。

終於介紹完如何使用 QuartusII 燒錄 VeriLite, 然後利用 VeriComm 與 Veri Instrument 驗證 8 位元計數器的基本流程, 總歸老話一句, 要學的東西還是很多, 大家要多多加油喔。最後, 我相信這份文件一定有許多不詳細或錯誤的地方, 煩請大家如果有任何問題可以回報給我(ymlin@csie.ncku.edu.tw), 讓我有機會把文件做的更好, 謝謝!